

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 09-036359

(43)Date of publication of application : 07.02.1997

(51)Int.Cl.

H01L 29/78

(21)Application number : 07-183721

(71)Applicant : FUJI ELECTRIC CO LTD

(22)Date of filing : 20.07.1995

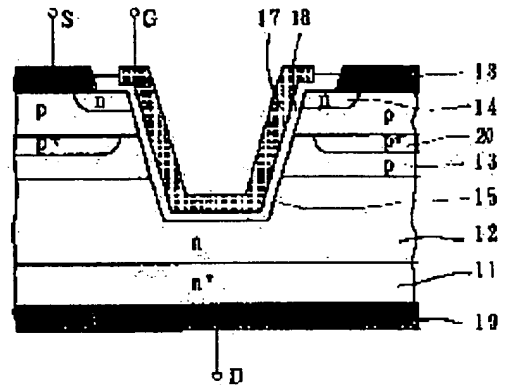
(72)Inventor : UENO KATSUNORI

(54) VERTICAL TYPE FET OF SILICON CARBIDE

(57)Abstract:

PROBLEM TO BE SOLVED: To increase a controllable current and avalanche resistance and to reduce on resistance in SiC (silicon carbide) trench MOSFET where a gate electrode is buried in the trench.

SOLUTION: A substantial resistance of a p-base layer 13 to increase a controllable current by forming, within the p-base layer 13 except for the area near the trench 15 of MOSFET, a p+ buried region 20 which is higher in the impurity concentration than the p-base layer 13. Moreover, spreading of the depletion layer when a voltage is applied is promoted by forming the p+ buried region at the lower part of the bottom section of trench to prevent dielectric breakdown of the gate insulating film and improve avalanche resistance. Moreover, a schottky electrode is also provided on the n-base layer where the p+ buried region is not provided to form a vertical MESFET.



LEGAL STATUS

[Date of request for examination]

25.12.1998

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

3158973

[Date of registration]

16.02.2001

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-36359

(43) 公開日 平成9年(1997)2月7日

(51) Int.Cl. ⁶	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 29/78		9055-4M	H 0 1 L 29/78	6 5 2 D
		9055-4M		6 5 2 T
		9055-4M		6 5 2 H
		9055-4M		6 5 3 A

審査請求 未請求 請求項の数9 O L (全 8 頁)

(21) 出願番号 特願平7-183721

(22) 出願日 平成7年(1995)7月20日

(71) 出願人 000005234

富士電機株式会社

神奈川県川崎市川崎区田辺新田1番1号

(72) 発明者 上野 勝典

神奈川県川崎市川崎区田辺新田1番1号

富士電機株式会社内

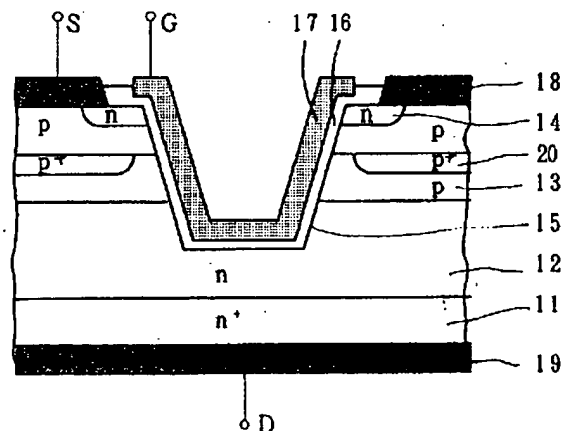
(74) 代理人 弁理士 山口 巖

(54) 【発明の名称】 炭化けい素縦型FET

(57) 【要約】

【目的】 トレンチにゲート電極が埋め込まれた形のSiC (炭化けい素) トレンチMOSFETにおいて、可制御電流の増大、アバランシェ耐量の増大と、オン抵抗の低減を図る。

【構成】 MOSFETのトレンチ15近傍を除くpベース層13内に、pベース層13より不純物濃度の高いp⁺埋め込み領域20を形成することによって、pベース層13の実質的な抵抗を下げ、可制御電流を増大させる。また、トレンチ35の底部より下方に、p⁺埋め込み領域40を形成することによって、電圧印加時の空乏層の広がりを促し、ゲート絶縁膜の絶縁破壊を防止し、アバランシェ耐量を向上させる。また、p⁺埋め込み領域50を欠く部分のn⁺ベース層上にショットキー電極47を設けて、縦型MESFETとする。



- | | |
|---------------------------|--------------------------|
| 11 n ⁺ サブストレート | 16 ゲート酸化膜 |
| 12 nドリフト層 | 17 ゲート電極 |
| 13 pベース層 | 18 ソース電極 |
| 14 nソース領域 | 19 ドレイン電極 |
| 15 トレンチ | 20 p ⁺ 埋め込み領域 |

【特許請求の範囲】

【請求項1】第一導電型の炭化ケイ素半導体サブストレー
ート上にエピタキシャル成長法により順に形成されたサブ
ストレーートより不純物濃度の低い炭化ケイ素の第一導
電型ドリフト層と炭化ケイ素の第二導電型ベース層と、
その第二導電型ベース層の表面層の一部に形成された第
一導電型ソース領域と、その第一導電型ソース領域の表
面から第一導電型ドリフト層に達するトレンチとを有
し、そのトレンチ内にゲート絶縁膜を介して電圧を印加
するゲート電極を備えるものにおいて、第二導電型ベ
ース層より不純物濃度が高く、トレンチ近傍部分を欠く第
二導電型領域を有することを特徴とする炭化けい素縦型
FET。

【請求項2】第二導電型ベース層内に、前記第二導電型
領域を有することを特徴とする請求項1に記載の炭化け
い素縦型FET。

【請求項3】第一導電型ドリフト層と第二導電型ベ
ース層との境界に前記第二導電型領域を有することを特徴と
する請求項1に記載の炭化けい素縦型FET。

【請求項4】トレンチの底部より下方に前記第二導電型
領域を有することを特徴とする請求項1ないし3のい
ずれかに記載の炭化けい素縦型FET。

【請求項5】第一導電型の炭化ケイ素半導体サブスト
レーート上にエピタキシャル成長法により順に形成されたサ
ブストレーートより不純物濃度の低い炭化ケイ素の第一導
電型ベース層と、その第一導電型ベース層内に選択的に
形成された第二導電型埋め込み領域と、第二導電型埋め
込み領域を欠く領域の上部を挟んで、第一導電型ベ
ース層の表面層に選択的に形成された第一導電型ソース領域
と、第一導電型ソース領域と第一導電型ベース層の表面
に共通に接触して設けられたソース電極と、サブスト
レーートの裏面に設けられたドレイン電極と、第二導電型埋
め込み領域を欠く領域の上方の第一導電型ベース層の上
に設けられた制御電極とを有することを特徴とする炭化
けい素縦型FET。

【請求項6】第一導電型ベース層の上の制御電極が第一
導電型ベース層とショットキー接合を形成することを特
徴とする請求項5に記載の炭化けい素縦型FET。

【請求項7】第一導電型ベース層の上の制御電極が第一
導電型ベース層上に絶縁膜を介して形成された金属膜か
らなることを特徴とする請求項5に記載の炭化けい素縦
型FET。

【請求項8】第一導電型ベース層の上の制御電極が第一
導電型ベース層の表面層に形成された第二導電型領域と
オーミックな接合を形成する金属膜からなることを特徴
とする請求項5に記載の炭化けい素縦型FET。

【請求項9】制御電極がTi、Au、Pt、Al-Ti
合金のいずれかからなることを特徴とする請求項6に記
載の炭化けい素縦型FET。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は、高温や放射線化
など過酷な条件下において使用可能な炭化けい素を用い
たの電界効果トランジスタ（以下FETと称する）に関
する。

【0002】

【従来の技術】炭化けい素（以下SiCと略す）は、バ
ンドギャップが大きく、また化学的に安定な材料である
ため、シリコンと比較すると高温や放射線下でも使用可
能な各種の半導体デバイスが期待されて、研究されてい
る。従来のシリコンのデバイスでは、最高でも150℃
程度がその動作限界とされているが、SiCでは、既に
pn接合ダイオードやMOSFET（金属-酸化膜-半
導体構造のゲートをもつFET）等の要素デバイスが試
作され、400℃以上の高温でも動作が確認されてい
る。このような高温での使用が可能となれば、原子炉や
宇宙など環境が酷しく、人の近づけない環境でのロボッ
トやコンピュータなどが使用可能となる。また、従来の
シリコンデバイスは、動作時の発生損失による発熱によ
り温度上昇してしまうため、これを抑制する冷却設備を
備える必要があり、冷却フィンや、冷却設備のために装
置全体が大型化してしまう。SiCでは、これらの冷却
設備を大幅に小型化、簡素化が可能となる。多くの部品
を占める半導体デバイスを以上のように小型化が可能と
なれば、例えば自動車では、大幅に燃費を向上させるこ
とが可能となり、環境保全にも多大な効果が期待でき
る。このようにSiCの半導体デバイスは、多くの応用
分野で期待されている。

【0003】さて、SiCの重要な半導体デバイス応用
として、パワーデバイスがある。しかし、デバイスを製
造しようとした場合、プロセス技術において幾つかの困
難がある。最もその製造を困難にしているのは、深い不
純物拡散である。不純物の拡散係数は、シリコンと比較
すると著しく小さく、そのため、1500℃以上の高温
熱処理が必要であるが、このような高温に耐える材料が
限られており、そのような電気炉を安定的に運転する
ことは困難である。また、このような高温では、雰囲気
ガスと試料表面の反応が激しくなり、表面に重大な影響
を及ぼす。従って、SiCでは、このような困難を回避
するためのデバイス構造が考案されなければならない。

【0004】縦型MOSFETは、SiCの電力用半導
体デバイスへの適用を考える上で重要なデバイスであ
る。その理由は電圧駆動型デバイスであるため素子の並
列駆動や、駆動回路が簡素化が可能なこと、および、ユ
ニポーラ素子であるために、高速スイッチングが可能な
ことによる。SiCにおいては、シリコンと異なり深い
不純物拡散が困難であるのに対してエピタキシャル成長
は比較的容易であるので、図8のようなトレンチ85を
持つトレンチMOSFETが一般的である。図8は、こ
れまで試作されているSiCのトレンチMOSFETの

要部断面図である。図のなかで、pベース層83は、エピタキシャル成長によって形成されるものであり、熱拡散では製造が極めて困難である。n⁺サブストレート81上にそれより不純物濃度の低いnドリフト層82とp型のpベース層83をエピタキシャル成長したSiC基板の表面層に選択的に高濃度のnソース領域84が形成され、そのnソース領域84の一部に、表面からnドリフト層82に達する溝（以後トレンチと呼ぶ）85が形成されている。トレンチ85の内側には、ゲート絶縁膜86を介してゲート電極87が設けられ、また、nソース領域84の表面とpベース層83の表面露出部に共通に接触してソース電極88、n⁺サブストレート81の裏面にドレイン電極89がそれぞれ設けられている。このMOSFETの動作は、ドレイン電極89とソース電極88との間に電圧を印加した状態で、ゲート電極87にある値以上の正の電圧を加えると、ゲート電極87の横のpベース層83の表面層に反転層が形成され、その反転層を通じてソース電極88からドレイン電極89へと電子電流が流れるものである。SiCにおいては、ゲート絶縁膜としてSiCを熱酸化してできるシリコン酸化膜が使用できる。

【0005】また、MESFET（金属-半導体構造の電界効果トランジスタ）も、MOSFETと同じような理由でSiCの電力用半導体デバイスへの適用を考える上で重要なデバイスである。図9は、これまで試作されているSiCのトレンチMOSFETの要部断面図である。[例えばジェー、ダブリュー、パーマー他：ダイヤモンド、炭化けい素、窒化物ワイドバンドギャップ半導体、マテリアルズリサーチソサイエティプロシーディングス（1994）による。]図において、n⁺サブストレート91上にpエピタキシャル層95、n⁺ベース層93を成長し、更に高濃度のn⁺層をやはりエピタキシャル成長により成長した後、そのn⁺層を選択的に除去してn⁺ソース領域94とn⁺ドレイン領域90としたものである。露出したnエピタキシャル層の表面上にショットキー電極97を形成している。n⁺ソース領域94とn⁺ドレイン領域90の表面上にNi膜がスパッタ法により被着され、それぞれソース電極98、ドレイン電極99が設けられている。

【0006】このMESFETの動作は、ドレイン電極99とソース電極98との間に電圧を印加すると電流が流れるが、その電流を、ショットキー電極97にある値以上の負の電圧を印加して、ショットキー電極97の下のn⁺ベース層93に空乏層を広げ、空乏層がpエピタキシャル層95に達すると、電流が止まるものである。

【0007】

【発明が解決しようとする課題】しかし、図8のSiC縦型MOSFETでは、スイッチング時にpベース層83内を流れる正孔電流が、pベース層83の抵抗により、電圧降下を発生させ、この電圧降下によって、nソ

ース領域84とpベース層83との間のpn接合が順バイアスされ、寄生のnpnトランジスタが動作して素子破壊を起こすことがある。

【0008】また、通常パワーデバイスでは、アバランシェ電流が流れた際に、一定電流まで耐えることが要求されるが、従来のSiC縦型MOSFETでは、アバランシェ降伏がゲート部のトレンチで始まるので、そのアバランシェ耐量がゲート絶縁膜の絶縁破壊によって規定されてしまい、非常に小さな値になっている。また、図9の従来のMESFETでは、電流の流れる領域はオフ状態で空乏層が広がるため、狭くしなければならず、オン状態での抵抗が大きく、大電流を流すパワーデバイスに適した構造とは言えなかった。

【0009】以上の問題に鑑み、本発明の目的は、可制御電流が大きくまた、ゲート絶縁膜の絶縁破壊が起きない、アバランシェ耐量の大きい、また、オン抵抗が小さく、大電流用途に適するSiC縦型FETを提供することにある。

【0010】

【課題を解決するための手段】上記の課題解決のため本発明は、第一導電型の炭化けい素半導体サブストレート上にエピタキシャル成長法により順に形成されたサブストレートより不純物濃度の低い炭化けい素の第一導電型ドリフト層と炭化けい素の第二導電型ベース層と、その第二導電型ベース層の表面層の一部に形成された第一導電型ソース領域と、その第一導電型ソース領域の表面から第一導電型ドリフト層に達するトレンチとを有し、そのトレンチ内にゲート絶縁膜を介して電圧を印加するゲート電極を備える炭化けい素縦型FETにおいて、第二導電型ベース層より不純物濃度が高く、トレンチ近傍部分を欠く第二導電型領域を有するものとする。

【0011】特に、第二導電型ベース層内または、第一導電型ドリフト層と第二導電型ベース層との境界に、前記第二導電型領域を有するものがよい。更に、トレンチの底部より下方に前記第二導電型領域を有することがよい。また、第一導電型の炭化けい素半導体サブストレート上にエピタキシャル成長法により順に形成されたサブストレートより不純物濃度の低い炭化けい素の第一導電型ドリフト層と、その第一導電型ドリフト層内に選択的に形成された第二導電型埋め込み領域と、第二導電型埋め込み領域を欠く領域の上部を挟んで、第一導電型ドリフト層の表面層に選択的に形成された第一導電型ソース領域と、第一導電型ソース領域と第一導電型ドリフト層の表面に共通に接触して設けられたソース電極と、サブストレートの裏面に設けられたドレイン電極と、第二導電型埋め込み領域を欠く領域の上方の第一導電型ドリフト層の上に設けられた制御電極とを有する炭化けい素縦型FETとする。

【0012】特に、第一導電型ドリフト層の上の制御電極は、第一導電型ドリフト層とショットキー接合を形成

するもの、第一導電型ドリフト層上に絶縁膜を介して形成された金属膜からなるもの、第一導電型ドリフト層の表面層に形成された第二導電型領域とオーミックな接合を形成する金属膜からなるものとする事ができる。そして、ショットキー接合を形成する制御電極がTi、Au、Pt、Al-Ti合金のいずれかからなるものとする。

【0013】上記の手段を講じることによって、下記する作用が得られる。第二導電型ベース層より不純物濃度が高く、トレンチ近傍部分を欠く第二導電型領域を、特に、第二導電型ベース層内または、第一導電型ドリフト層と第二導電型ベース層との境界に設けることによって、第二導電型ベース層の抵抗を低減することができる。

【0014】更に、トレンチの底部より下方に前記第二導電型領域を設けることによって、ゲート酸化膜への電界集中を防止することができる。また、第一導電型ドリフト層内に選択的に形成された第二導電型埋め込み領域と、第二導電型埋め込み領域を欠く領域の上部を挟んで、第一導電型ドリフト層の表面層に選択的に形成された第一導電型ソース領域と、第一導電型ソース領域と第一導電型ドリフト層の表面に共通に接触して設けられたソース電極と、サブストレーットの裏面に設けられたドレイン電極と、第二導電型埋め込み領域を欠く領域の上方の第一導電型ドリフト層の上に設けられた制御電極とを有する炭化けい素縦型FETとし、第一導電型ドリフト層とショットキー接合を形成する制御電極を設ければ、MESFETになる。

【0015】第一導電型ドリフト層上に絶縁膜を介して形成された金属膜からなる制御電極を設ければ、MOSFETになる。第一導電型ドリフト層の表面層に形成された第二導電型領域とオーミックな接合を形成する金属膜からなる制御電極を設ければ、接合型FETになる。特に、ショットキー電極がTi、Au、Pt、Al-Ti合金のいずれかからなるものとするれば、十分な耐圧を持つショットキー電極が比較的低温で形成できる。

【0016】

【発明の実施の形態】本発明は、SiC縦型FETにおいて、第二導電型ベース層、或いは第一導電型ベース層内の様々な位置に第二導電型の埋め込み領域を形成することによって、SiC縦型FETの特性の改善を図るものである。例えば、第二導電型ベース層内に第二導電型ベース層より不純物濃度の高い第二導電型領域を埋め込みまたは隣接させて、第二導電型ベース層の抵抗を低減すし、寄生npnトランジスタの動作による素子破壊を防止し、可制御電流の増大を図れる。

【0017】また、トレンチの底部より深い位置に設けることによって、ゲート絶縁膜の電界を低減し、アバランシェ耐量の増大を図れる。更に、デプレッション型のFETにおいても、第一導電型ベース層内に埋め込み領域

を設けることによって、第一導電型ベース層の抵抗を低減し、オン抵抗の低減が図れる。

【0018】

【実施例】以下、図面を参照しながら、本発明の実施例について説明する。図1は、本発明を実施例のSiC縦型MOSFETの要部断面図である。図に示したのは、電流のオン・オフを行う活性領域であり、MOSFETには、この他に主に周縁部に耐圧を担う部分があるが、その部分は本発明の本質に関わる部分ではないので記述を省略する。また、p、nを冠した層、領域等は、それぞれ正孔、電子を多数キャリアとして含む層、領域等を意味するものとする。

【0019】図において、n⁺サブストレーット11上にそれより不純物濃度の低い、例えば、不純物濃度が 1×10^{15} ないし $1 \times 10^{16} \text{ cm}^{-3}$ で厚さが2ないし $50 \mu\text{m}$ のnドリフト層12と、不純物濃度が 1×10^{16} ないし $1 \times 10^{17} \text{ cm}^{-3}$ で厚さが1ないし $10 \mu\text{m}$ のp型のpベース層13をエピタキシャル成長したSiC基板のpベース層13の表面層に、イオン注入により選択的に高濃度のnソース領域14が形成され、そのnソース領域14の一部に、表面からnドリフト層12に達するトレンチ15が形成されている。トレンチ15の幅は1ないし $10 \mu\text{m}$ である。トレンチ15の内側には、シリコン酸化膜のゲート絶縁膜16を介して多結晶シリコンのゲート電極17が設けられている。nソース領域14とpベース層13の表面上に共通に接触してNi膜のソース電極18が設けられている。またn⁺サブストレーット11の裏面にNi膜のドレイン電極19が設けられている点は、図8の従来のMOSFETと同じであるが、このMOSFETでは、pベース層13の中に、例えば、不純物濃度が 1×10^{16} ないし $1 \times 10^{19} \text{ cm}^{-3}$ で厚さが0.1ないし $1 \mu\text{m}$ のp⁺埋め込み領域20が付加されている。なお、ソース電極18、ドレイン電極19としては、Niの他にAl、Ti、Moなどの金属を使うこともできる。

【0020】ここで、p⁺埋め込み領域20の形成方法について、図4を用いて説明する。サブストレーット、またはその上にエピタキシャル成長を途中まで行ったSiC基板1に、例えば、酸化膜やフォトレジストなどのマスク2を用いるなどの方法により、特定の領域に不純物イオン3を注入して、不純物4を導入する[図7

(a)]。次に、熱処理して、イオン注入された不純物4を電気的に活性化し、拡散領域5を形成する[同図(b)]。その上に、エピタキシャル成長を行うと、SiC基板1とエピタキシャル層6との間に埋め込み領域10が形成された状態となる[同図(c)]。この方法を埋め込みエピタキシャル成長と呼ぶこともある。

【0021】図1のMOSFETの動作は、ドレイン電極19とソース電極18との間に電圧を印加した状態で、ゲート電極17にある値以上の正の電圧を加える

と、ゲート電極17の横のpベース層13の表面層に反転層が形成され、その反転層を通じてソース電極18からドレイン電極19へと電子電流が流れるものである。通常、MOSFETでは、スイッチング時にpベース層13内を流れる正孔電流は、pベース層13の抵抗により、電圧降下を発生させ、この電圧降下によって、nソース領域14とpベース層13の間のpn接合が順バイアスされ、寄生のnpnトランジスタが動作して素子破壊を起こすことがある。この機構によって、MOSFETの可制御電流は制限されていた。図1の第一の実施例では、トレンチ15近傍の部分を欠くp⁺埋め込み領域20を付加することによって、MOSFETのしきい値を変化させず、実効的にpベース層13の抵抗を低減することができる。pベース層13の抵抗を下げることによって、pベース層13内を流れる正孔電流による電圧降下を低減でき、上記の破壊を抑え、可制御電流を増大させることができる。試作実験によれば、p⁺埋め込み領域20の付加によりpベース層13の実質的な抵抗を二分の一にすると、可制御電流は約1.5倍に増大した。

【0022】このp⁺埋め込み領域20は、pベース層13と接触していなければならない。また、トレンチ部分の深さよりも深くても良い。但し、MOSFETのチャネル領域と重なるとしきい値が変化してしまうため、チャネル領域とは重ならないようにすることが重要である。図2は、本発明の別の実施例のSiC縦型MOSFETの要部断面図である。図1の第一の実施例のMOSFETとの違いは、p⁺埋め込み領域30がpベース層23の中でなく、nドリフト層22とpベース層23との境界に設けられている点である。p⁺埋め込み領域30の不純物濃度や厚さは第一の実施例とほぼ同じでよい。この場合も、第一の実施例と同様にpベース層23の実質的な抵抗を下げることによって、寄生のnpnトランジスタに起因した素子破壊を抑制し、可制御電流を増大させることができる。

【0023】本発明第三の実施例のSiC縦型MOSFETの要部断面図を図3に示した。この構造は、ゲート絶縁膜を高い電界から保護するために考案されたものである。SiCは、高い電界強度をもつため、シリコンと比較すると相対的にゲート絶縁膜に大きな電界が印加される。そのため、絶縁膜の電界を緩和するための構造を提供するものである。図3では、nドリフト層32の中に、p埋め込み領域40が、付加されている。p⁺埋め込み領域40の上のnドリフト層32の厚さとしては、1ないし5μmとした。この間にトレンチの底部が入るようにトレンチ35を反応性イオンエッチングにより形成した。ソース電極38とドレイン電極39の間に逆電圧を印加すると、pベース層33と、nドリフト層32との間のpn接合から空乏層が広がる。空乏層が付加したp⁺埋め込み領域40に達すると、それ以上の電圧印

加では、空乏層がp⁺埋め込み領域40の下方へとひろがる。そのため、p⁺埋め込み領域40は、空乏層を広げる効果を持っており、電界の緩和が可能である。この構造は、pn接合の空乏層を横方向に広げるいわゆるガードリング構造を縦型に応用したものと考えることができる。

【0024】従来構造では、最大電界がゲート絶縁膜に印加されたが、図3のMOSFETでは、ゲート部分のトレンチ35よりも深いp⁺埋め込み領域40の下まで空乏層が広がるので、ドレイン電極39とソース電極38との間に電圧を印加し、その電圧を高めた際、ゲート部のトレンチ35の角部でアバランシェ降伏が起きてゲート絶縁膜36が破壊することはない。すなわち、電圧印加時にゲート絶縁膜が絶縁破壊することのない、アバランシェ耐量の大きいMOSFETとすることができる。

【0025】第一の実施例と、第三の実施例とを同時に実行したような二段のp⁺埋め込み領域20、40を形成することもできる。その場合は、それぞれのp⁺埋め込み領域20、40の効果が合わせて得られ、可制御電流の大きい、かつアバランシェ耐量の大きいMOSFETとすることができる。図2の第二の実施例のMOSFETにおいて、p⁺埋め込み領域30を深く形成し、その最深部がトレンチ25より下方になるようにすれば、同じように可制御電流の大きい、かつアバランシェ耐量の大きいMOSFETとすることができる。

【0026】図4は、本発明第四の実施例のSiC縦型MESFETの要部断面図である。図に示したのは、電流のオン・オフを行う活性領域であり、MESFETには、この他に主に周縁部に耐圧を担う部分があるが、その部分は本発明の本質に関わる部分ではないので記述を省略する。図において、n⁺サブストレート41上にそれより不純物濃度の低いn⁻ベース層43をエピタキシャル成長したSiC基板の、n⁻ベース層43内に高濃度のp⁺埋め込み領域50が形成されている。図のようにn⁻ベース層43とnドリフト層42とにわけても、同じ不純物濃度の層としても良い。p⁺埋め込み領域50は一部を欠くように、選択的に形成されている。各層の不純物濃度と厚さは、例えばnドリフト層42は、 1×10^{15} ないし $1 \times 10^{16} \text{ cm}^{-3}$ で2ないし50μm、n⁻ベース層43は、 1×10^{15} ないし $1 \times 10^{16} \text{ cm}^{-3}$ で0.1ないし2μm、p⁺埋め込み領域50は、 1×10^{16} ないし $1 \times 10^{19} \text{ cm}^{-3}$ で0.1ないし1μmである。p⁺埋め込み領域50を欠く部分の幅Lは、1ないし10μmである。そして、n⁻ベース層43の表面層にp埋め込み領域50を欠く部分の上部を挟んで両側に選択的にnソース領域44が形成され、nソース領域44とn⁻ベース層43の表面上に共通に接触してNi膜のソース電極48が設けられ、S端子と接続されている。nソース領域44に挟まれたn⁻ベース層43の

表面上に、Ti膜からなるショットキー電極47が設けられG端子と接続されている。またn⁺サブストレート41の裏面にNi膜のドレイン電極49が設けられ、G端子と接続されている。p⁺埋め込み領域50の形成方法については、第一の実施例について図7で説明した方法と同じでよい。ショットキー電極47としては、Tiの他にAl、Au、Ptなどの金属膜を用いることができる。

【0027】このMESFETの動作は、ドレイン電極49とソース電極48との間に電圧を印加すると電流が流れるが、その電流を、ショットキー電極47にある値以上の負の電圧を印加して、ショットキー電極47の下のn⁺ベース層43に空乏層を広げ、その空乏層がp⁺埋め込み領域50を欠く部分を塞いで、ソースからの電流の通路を遮断する。こうして、ソースドレイン間をスイッチングするものである。

【0028】この素子の特徴は、図1などのpベース層の表面層を反転させてチャンネルを形成するいわゆるエンハンスメント型の素子ではなく、電流の通路が、n型結晶であるデプレッション型のため、オン時の素子の抵抗が小さくできるという利点がある。また、図9に示した従来のSiC横型MESFETと異なり、電流が縦方向に流れる縦型素子であることもオン抵抗の低減および大容量化に適した構造であり、従来のSiC横型MESFETの問題点を解決することになる。

【0029】図5は、本発明第五の実施例のSiC縦型MOSFETの要部断面図であり、この例は、動作としては図4の第四の実施例と同じで、その変形例とみることができる。ゲート電圧を印加するための構造がMOSゲート構造となっている。すなわち、nソース領域54に挟まれたn⁺ベース層53の表面上に、ゲート酸化膜56を介して多結晶シリコンからなるゲート電極57が設けられ、G端子と接続されている。SiCは、熱酸化により、表面に酸化シリコン膜を形成することができるので、MOSゲート構造を設けることも容易である。

【0030】第六の実施例を図6に示した。この例では、ゲートに電圧を印加するための構造として、ショットキー接合ではなく、pn接合となっている接合型FET(JFET)である。すなわち、nソース領域64に挟まれたn⁺ベース層63の表面層にイオン注入および熱処理によりp型領域65を形成し、そのp型領域62の表面上にゲート電極67が設けられている。このJFETの電流をオフさせるには、ゲート電極67にソース電極68に対して負の電圧を印加し、p型領域65とn⁺ベース層63との間のpn接合を逆バイアスして空乏層を広げると、その空乏層がp⁺埋め込み領域70を欠く部分を塞いで、ソースからの電流の通路を遮断するものである。従来のMOSFETは、反転層のチャンネルの電気抵抗が大きいことが問題であったが、単結晶領域を電流通路として使用する、接合型FET(JFET)と

なっているため、低オン抵抗のスイッチング素子となる。

【0031】この構造ではゲート電極67にソース電極68に対して正の電圧を印加すれば、正孔の注入を引き起こし、さらに低いオン抵抗を実現することが可能である。

【0032】

【発明の効果】以上説明したように本発明の炭化けい素縦型トレンチMOSFETは、第二導電型ベース層に高濃度の埋め込み領域を設けることによって、実質的な抵抗を下げ、可制御電流を増大させることができる。また、トレンチの底部より下方に第二導電型の埋め込み領域を設けることによって、電圧印加時にゲート絶縁膜が絶縁破壊することのないアバランシェ耐量の大きいSiCトレンチMOSFETとすることができる。更に両者を同時に実現することもできる。

【0033】また、第二導電型埋め込み領域と、表面に形成したショットキー電極、絶縁膜を介して設けた絶縁ゲート電極、或いはpn接合から半導体中に空乏層を広げることによって、スイッチング動作を実現し、低オン抵抗のSiC縦型FETを実現できる。よって本発明は炭化けい素縦型FETの可能性を広げるものである。

【図面の簡単な説明】

【図1】本発明第一の実施例のSiC縦型MOSFETの要部断面図

【図2】本発明第二の実施例のSiC縦型MOSFETの要部断面図

【図3】本発明第三の実施例のSiC縦型MOSFETの要部断面図

【図4】本発明第四の実施例のSiC縦型MESFETの要部断面図

【図5】本発明第五の実施例のSiC縦型MOSFETの要部断面図

【図6】本発明第六の実施例のSiC縦型JFETの要部断面図

【図7】(a)ないし(c)は図1のp⁺埋め込み領域の製造方法を説明するための製造工程順の要部断面図

【図8】従来のSiC縦型トレンチMOSFETの要部断面図

【図9】従来のSiC縦型MESFETの要部断面図

【符号の説明】

1	SiC基板
2	マスク
3	イオン
4	不純物
5	拡散層
6	エピタキシャル層
11、41、81、91	n ⁺ サブストレート
12、22、32、42、82	nドリフト層
13、23、33、83	pベース層

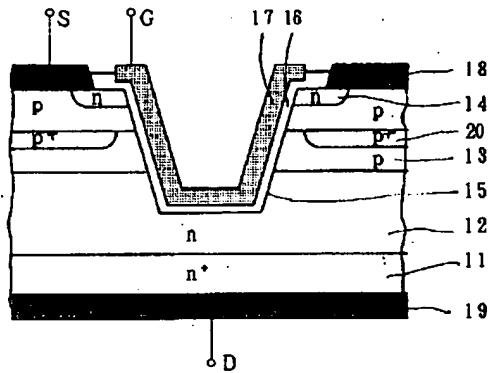
11

12

14、44、54、64、84、94 nソース領域
15、35、85 トレンチ
16、56、86 ゲート絶縁膜
17、57、67、87 ゲート電極
18、38、48、68、88、98 ソース電極
19、39、49、89、99 ドレイン電極

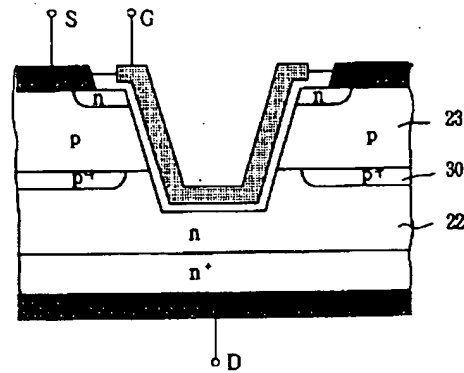
20、30、40、50、70 p⁺ 埋め込み領域
43、53、63、93 n⁻ ベース層
47、97 ショットキー電極
65 p型領域
90 nドレイン層
95 pエピタキシャル層

【図1】

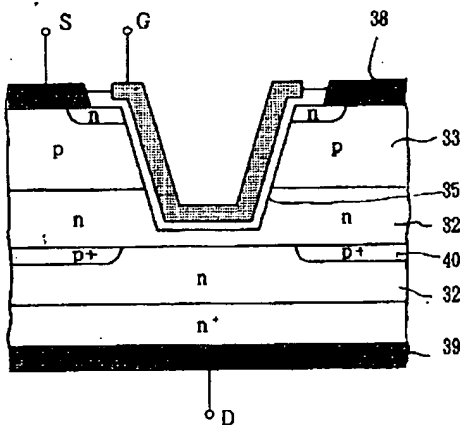


11 n⁺ サブストレート 16 ゲート酸化膜
12 nドリフト層 17 ゲート電極
13 pベース層 18 ソース電極
14 nソース領域 19 ドレイン電極
15 トレンチ 20 p⁺ 埋め込み領域

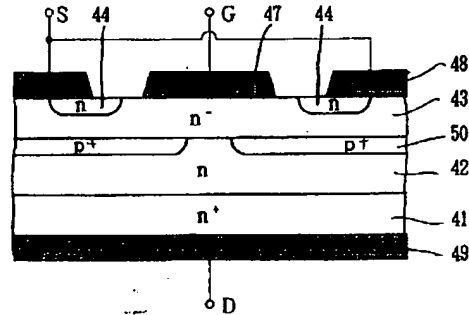
【図2】



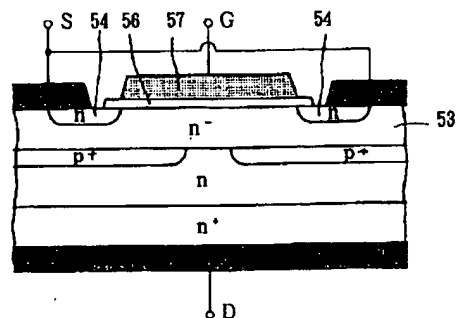
【図3】



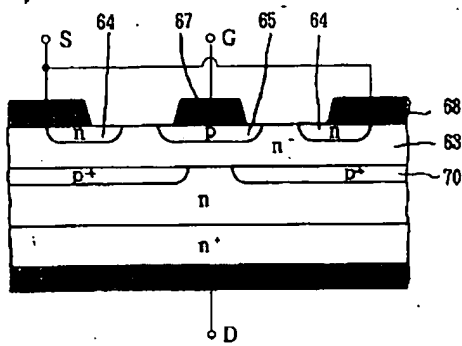
【図4】



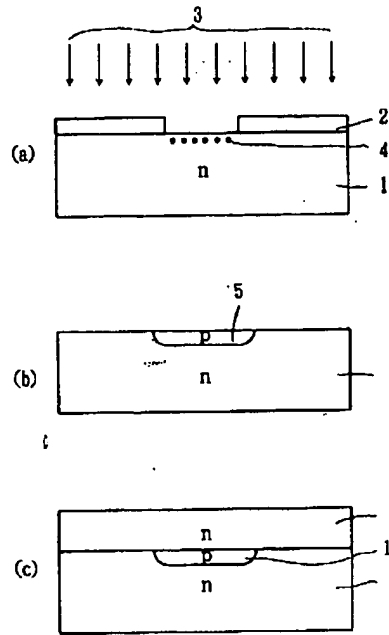
【図5】



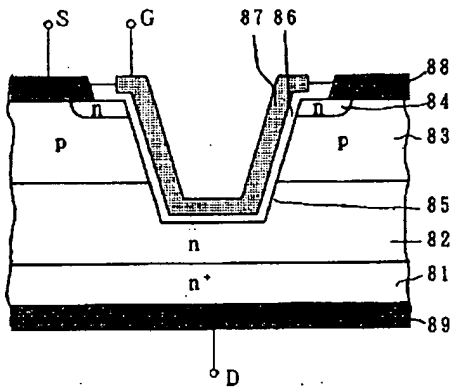
【図6】



【図7】



【図8】



【図9】

